

CLIPPEDIMAGE= JP361188936A

PAT-NO: JP361188936A

DOCUMENT-IDENTIFIER: JP 61188936 A

TITLE: FORMATION OF FILM

PUBN-DATE: August 22, 1986

INVENTOR-INFORMATION:

NAME

KATO, TAKASHI

ITO, TAKASHI

MUTO, MASAOKI

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP60027557

APPL-DATE: February 16, 1985

INT-CL (IPC): H01L021/302;H01L021/31 ;H01L021/88

US-CL-CURRENT: 438/FOR.227,438/427

ABSTRACT:

PURPOSE: To bury the sharply stepped portion with a film in a short period of time by depositing a film with isotropic chemical vapor growth method on a substrate to which a bias voltage is applied.

CONSTITUTION: A thick silicon dioxide film 3 is deposited also at the sharp side wall of 90° in a recessed portion 2. Thereby, the recessed portion 2 is quickly buried because the silicon dioxide film 3 is deposited from both the side wall and bottom directions. After the recessed portion 2 is buried completely, an angle θ_2 of inclined surface at the remaining stepped portion is small. Therefore, the surface of silicon dioxide film 3 becomes very smooth. When the deposition rate by the CVD method is increased and is matched to the peak of etching rate by sputter etching, the angle θ_2 becomes about 45° and such condition is the most optimum state for burying

the recessed portion 2.

COPYRIGHT: (C)1986,JPO&Japio

⑫ 公開特許公報(A)

昭61-188936

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)8月22日

H 01 L 21/302
21/31
21/88L-8223-5F
6708-5F
6708-5F

審査請求 未請求 発明の数 1 (全7頁)

⑭ 発明の名称 被膜形成方法

⑰ 特 願 昭60-27557

⑱ 出 願 昭60(1985)2月16日

⑲ 発 明 者 加 藤 隆 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発 明 者 伊 藤 隆 司 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 発 明 者 武 藤 正 明 川崎市中原区上小田中1015番地 富士通株式会社内
 ⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地
 ⑲ 代 理 人 弁 理 士 柏 谷 昭 司 外 1 名

明 細 書

1 発明の名称

被膜形成方法

2 特許請求の範囲

(1) バイアス電圧が印加された基板に被膜を等方的に化学気相堆積させつつ同時にガス或いはイオンに依るスパッタ・エッチングを実施する工程が含まれてなることを特徴とする被膜形成方法。

(2) 前記基板は振動せしめられていることを特徴とする特許請求の範囲第1項記載の被膜形成方法。

(3) 前記スパッタ・エッチングはバイアス・スパッタ法で実施されることを特徴とする特許請求の範囲第1項記載の被膜形成方法。

3 発明の詳細な説明

〔概要〕

本発明は、例えば半導体装置を製造する場合に適用される被膜形成方法において、バイアス電圧が印加された基板に被膜を等方的に化学気相堆積

させつつ同時にガス或いはイオンに依るエッチングを実施することに依り、急峻な段差を前記被膜で短時間に埋めることができるようにしたものである。

〔産業上の利用分野〕

本発明は、半導体装置の製造過程に於いて、凹凸が在る表面に平坦な被膜を形成したい場合に適用して好結果が得られる被膜形成方法に関する。

〔従来の技術〕

一般に、半導体装置に於ける電極・配線は集積度が向上するにつれて多層化されてきたが、その場合、上層の電極・配線が段差に起因して断線し易いことが問題になっている。

そこで、近年、高周波(RF)バイアス・スパッタ法を適用して層間絶縁膜や電極コンタクト・ホールから引き出される電極・配線を平坦に形成することが行われている。

バイアス・スパッタ法は、スパッタに依るデポジション・レートと希ガス・イオンに依るエッチング・レートとにイオン入射角の角度依存性が在

ることを利用している。

即ち、一定のバイアス・スパッタ条件では、デポジションもエッチングも、基板上水平面に垂直に入射するイオンと基板上傾斜面との角度 θ に依存する。

第5図はデポジション・レート及びエッチング・レートの角度依存性を表す線図であり、縦軸にはデポジション・レート及びエッチング・レートを、横軸には角度 θ をそれぞれ採っている。

図に於いて、Dは或るバイアス・スパッタ条件での堆積速度を表す特性線、Eは同じく或るバイアス・スパッタ条件でのエッチング速度を表す特性線を指示している。

図から明らかなように、入射イオンに対して $0^\circ \leq \theta < \theta_1$ の範囲の傾斜角を有する基板上傾斜面では堆積速度が勝っているので膜の堆積が生じ、 $\theta_1 < \theta \leq 90^\circ$ の範囲ではエッチング速度が勝っているので実効的にエッチングが生じ、 $\theta = \theta_1$ の傾斜面では膜の堆積とエッチングとが平衡することになる。

とする。

このようにしてバイアス・スパッタを行うと、段差の肩部を基点とし、そこから水平面に対して一定の角度 θ_1 を有する傾斜面が発達する。この傾斜面の角度 θ_1 は第5図に見られる特性線D及びEの交点に対応する角度であり、この面上では膜の堆積とエッチングとが平衡していて実効膜堆積速度は零である。

図示の θ_1 は第5図に見られる θ_1 に対応しているもので、傾斜角が 90° 近くになると僅かではあるがデポジションが行われるので、凹所2の側壁にも薄い二酸化シリコン膜3が被着される。

第6図(B)参照

バイアス・スパッタが更に進行した状態を表している。

バイアス・スパッタでは、傾斜角 θ_1 の傾斜面が水平面上に堆積する膜で埋め込まれることに依って達成されることは前記した通りである。

第6図(C)参照

この $\theta = \theta_1$ である傾斜面に於いては、実効的に堆積速度は零であるが、その傾斜面の下方に連なる底の部分に堆積される膜に依り埋め込まれることに依り、該傾斜面に依る急峻な段差は平坦化されることになるのである。

第6図(A)乃至(C)は従来のバイアス・スパッタ法を適用して 90° の側壁を有する凹所に膜を埋め込んで急峻な段差を解消しようとする場合の工程を説明する為の工程要所に於ける半導体装置の要部切断側面図を表している。

第6図(A)参照

シリコン半導体基板1に 90° の側壁を有する凹所2を形成し、これに対してバイアス・スパッタ法を適用することに依り、二酸化シリコン(SiO_2)膜3を堆積させる。

この場合に於けるバイアス・スパッタの条件としては、二酸化シリコン膜3の堆積速度及びエッチング速度の傾斜面に対する角度依存性が第5図に見られる特性線D及びEとなるようにシリコン半導体基板1にRFバイアス電圧を印加するもの

凹所2が二酸化シリコン膜3に依り完全に埋め込まれた状態を表している。

(発明が解決しようとする問題点)

第6図(A)乃至(C)に関して説明したところから理解できるように、従来のバイアス・スパッタ法では、急峻な段差が存在する場合、その段差の急峻な側壁には膜が堆積しないので、底から次第に堆積してくる膜で段差を埋め込むようにしているが、その埋め込みが完成するまでに多大の時間を必要としている。

本発明は、バイアス・スパッタ法に周知の化学気相堆積(chemical vapour deposition: CVD)法を組み合わせることに依り、段差を短時間で埋めることができるようにする。

(問題点を解決するための手段)

本発明の一実施例を説明する為の図である第2図(A)乃至(C)を借りて説明すると、バイアス電圧が印加されたシリコン半導体基板1に二酸化シリコン膜3を等方的に化学気相堆積させつつ

同時にガス或いはイオンに依るエッチングを実施する。

(作用)

例えば、切り立った側壁を有する凹所が形成されたシリコン半導体基板に本発明を適用して被膜を形成すると、前記側壁が例えば 90° に切り立っていても被膜が形成されるので、従来のバイアス・スパッタ法のように凹所の底から被膜が堆積するのを待つ必要はなくなり、凹所は急速に埋められる。

また、凹所の肩部を基点とする所定の傾斜面を有して平面上に形成される被膜に於ける該傾斜は非常になだらかなものとなるので、段差に起因する配線の切断を防止するのに有効である。

(実施例)

第1図は本発明一実施例に於けるデポジション・レート及びエッチング・レートの角度依存性を説明する為の線図であり、縦軸にはデポジション・レート及びエッチング・レートを、横軸には角度 θ をそれぞれ採っており、第5図と同様な図で

また、 $\theta = 90^\circ$ では、エッチング速度 E_1 が小さくなるのに対し、堆積速度 D_1 は大きいままであるから、 90° に切り立った側面を有する凹所であっても、その平坦化は急速に進行することになる。

第2図(A)乃至(C)は、本発明一実施例を適用して 90° の側壁を有する凹所に二酸化シリコン膜を埋め込んで、急峻な段差を解消しようとする場合を工程を解説する為の工程要所に於ける半導体装置の要部切断側面図を表し、以下、これ等の図を参照しつつ説明する。尚、第6図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。

第2図(A)参照

ここでは、CVDを実施して二酸化シリコン膜3を成長させつつ稀ガスを利用したスパッタ・エッチングを実施している。

これに依り、凹所2に於いて 90° に切り立った側壁にも厚い二酸化シリコン膜3が堆積する。

シリコン半導体基板1の平面上に堆積する二酸

あると考えてよい。

図に於いて、 D_1 は堆積速度を表す特性線、 E_1 はエッチング速度を表す特性線をそれぞれ示している。

図から明らかなように、デポジション・レート即ち堆積速度は一定であり、これはCVD法を適用しているのが当然である(但し、実際の被膜形成では、スパッタ堆積も若干関与している)。

特性線 D_1 と特性線 E_1 とは基板上傾斜面に於ける傾斜の角度が θ_2 及び θ_2' で交差し、従って、入射イオンに対して $0^\circ \leq \theta < \theta_2$ の範囲の傾斜角を有している基板上傾斜面に於いては堆積速度 D_1 が勝っているため被膜の堆積が生じ、 $\theta_2 < \theta < \theta_2'$ の範囲ではエッチング速度 E_1 が勝っているため実効的にエッチングを生じ、 $\theta_2' < \theta \leq 90^\circ$ では再び被膜の堆積が生じ、 $\theta = \theta_2$ 或いは θ_2' なる傾斜面では膜の堆積とエッチングとが平衡することになる。尚、本実施例に於ける θ_2 と第5図に関して説明された θ_1 と比較すると $\theta_2 < \theta_1$ である。

化シリコン膜3は凹所2の肩部を基点とする所定の傾斜面を有し、そして、その傾斜面の角度 θ_2 は第1図に於ける θ_2 に対応している。

第2図(B)参照

凹所2内では側壁方向と底方向から二酸化シリコン膜3が堆積してくるので急速に埋められる。

第2図(C)参照

凹所2の埋め込みが完了した後、残っている段差に於ける傾斜面の角度 θ_2 は小さいので、二酸化シリコン膜3の表面は非常に滑らかであり、金属の配線などを形成しても断線する虞は皆無である。

第1図及び第2図に関する説明から、CVD法に依るデポジション・レートを大にしてスパッタ・エッチングに依るエッチング・レートのピークに一致させると、その場合の角度 θ は約 45° となり、その状態が凹所2を埋めるのに最良であることが明らかである。

第3図は他の実施例を解説する為の説明図であり、第1図及び第2図に於いて用いた記号と同記

号は同部分を表すか或いは同じ意味を持つものとする。

図に於いて、4は金属配線、5はシリコン半導体基板1に与える振動の方向を表す矢印、6はシリコン半導体基板1に与えられる矢印5方向の振動に起因する入射イオン横方向速度成分、7は従来のバイアス・スパッタ法を実施した場合の角度を表す線、8は第1図及び第2図に関して説明した実施例の場合の角度を表す線、9はシリコン半導体基板1に矢印5方向の振動を与えた場合の角度を表す線をそれぞれ示している。

図から明らかなように、CVDとスパッタ・エッチング或いはRIEとを同時に実施するに際してシリコン半導体基板1を矢印5方向に振動させた場合、入射イオンが横方向の速度成分を持つことになり、段差の上面、即ち、金属配線4の表面上では入射イオンの角度が零に近付くのでエッチング・レートが大になり、逆に、段差の下面、即ち、シリコン半導体基板1の表面ではエッチング・レートが小になる。

度を表す特性線、13はアルゴンに塩素(Cl)を加えた混合ガスを用いたRIE法に依る場合のエッチング速度を表す特性線を表している。

図から明らかなように、特性線13で示される場合、アルミニウムに対するエッチング・レートは極めて高くなり、従って、CVDに依るデポジション・レートを特性線11で示される状態よりも更に高くすることができ、従って、凹所の平坦化に要する時間を一層短くすることが可能である。

ところで、CVD法は、通常、1(Torr)程度の雰囲気中で実施されるが、エッチング法は0.1(Torr)程度の雰囲気中で実施するので、両方の条件を満足させて放電を発生させることは若干の困難性を伴うが、これは印加電界に垂直に磁界を加えて放電を安定且つ効率良く行わせるとか或いは光照射を併用することに依りガスの分解を効率良く行うことで補償することが可能である。

(発明の効果)

本発明の被膜形成方法に依れば、バイアス電圧

従って、段差の凸部では堆積が進行せず、凹部では急速に堆積するので、結果として、平坦化は更に短時間で終わることになるのである。

また、入射イオン横方向速度成分と入射イオン速度とを同程度にするとシャドウイングの効果も加わるので、平坦化に要する時間は一層短くすることが可能になる。

この実施例では、振動の方向を横方向にしてあるが、この振動に縦方向の振動を加えても良い。

第4図は更に他の実施例に於けるデポジション・レート及びエッチング・レートの角度依存性を表す線図であり、第1図及び第5図に於いて用いた記号と同記号は同部分を表すか或いは同じ意味を持つものとする。尚、このデータは、アルミニウム(Al)を堆積させる場合に得たものである。

図に於いて、10は比較の為に示した従来のバイアス・スパッタ法に依る場合の堆積速度を表す特性線、11はCVD法に依る場合の堆積速度を表す特性線、12はアルゴン(Ar)を用いたスパッタ・エッチング法に依る場合のエッチング速

度が印加された基板に被膜を等方的に化学気相堆積させつつ同時にガス或いはイオンに依るエッチングを実施するようにしている。

これに依り、基板の切り立った面にも被膜が堆積するので、凹所を被膜で埋める場合、被膜は凹所の底からのみでなく側面からも堆積してくるから、極めて短時間で目的を達成することができ、また、凹所の肩部を基点として基板の平面部分に堆積する被膜は非常になだらかな傾斜面をもって形成されるので、そこに配線などを形成しても断線が発生する虞は皆無となる。

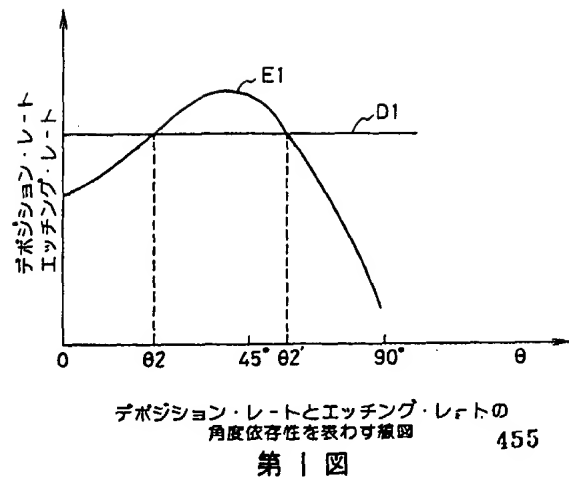
4 図面の簡単な説明

第1図は本発明一実施例に於けるデポジション・レート及びエッチング・レートの角度依存性を説明する為の線図、第2図(A)乃至(C)は本発明一実施例を説明する為の工程要所に於ける半導体装置の要部切断側面図、第3図は他の実施例の説明図、第4図は更に他の実施例に於けるデポジション・レート及びエッチング・レートの角度依存性を説明する為の線図、第5図は従来例に於

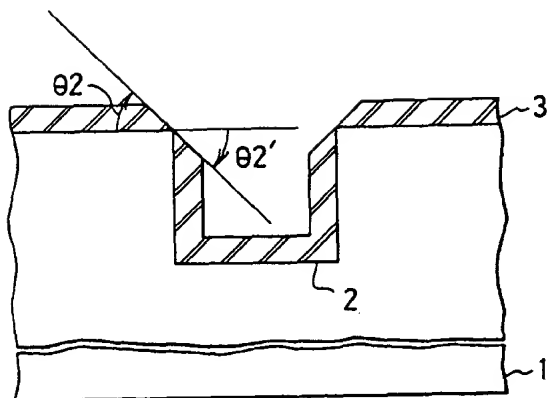
けるデポジション・レート及びエッチング・レートの角度依存性を説明する為の線図、第6図(A)乃至(C)は従来例を説明する為の工程要所に於ける半導体装置の要部切断側面図をそれぞれ表している。

図に於いて、1はシリコン半導体基板、2は凹所、3は二酸化シリコン膜、D1は堆積速度を表す特性線、E1はエッチング速度を表す特性線、をそれぞれ示している。

特許出願人 富士通株式会社
代理人弁理士 柏谷昭司
代理人弁理士 渡邊弘一

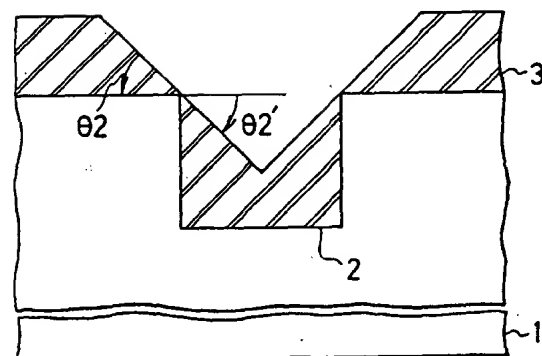


(A)



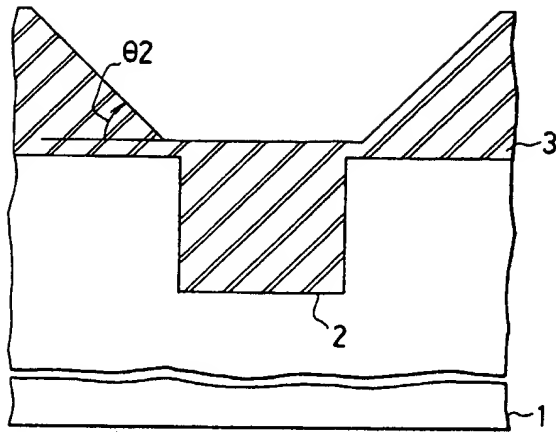
第2図

(B)

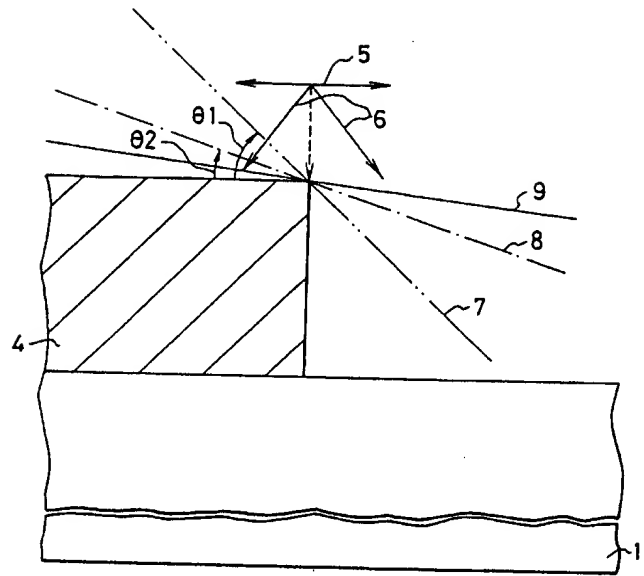


第2図

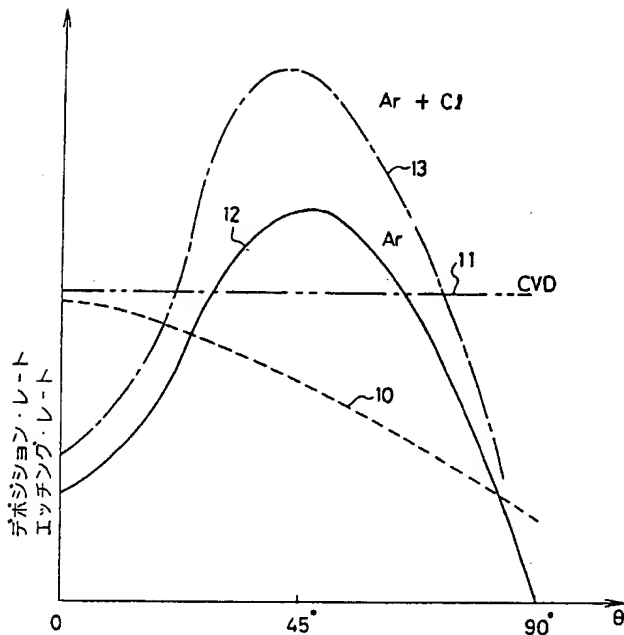
(C)



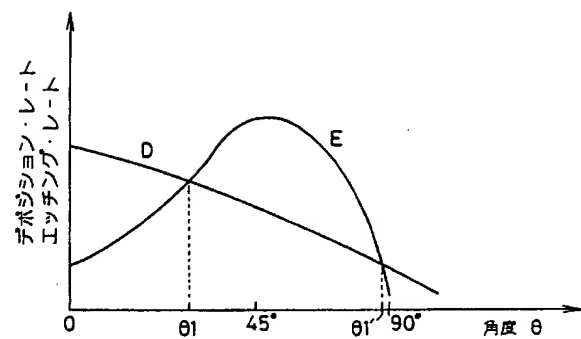
本発明 - 実施例を説明する為の
半導体装置の要部切断側面図
第 2 図



本発明 - 実施例の説明図
第 3 図

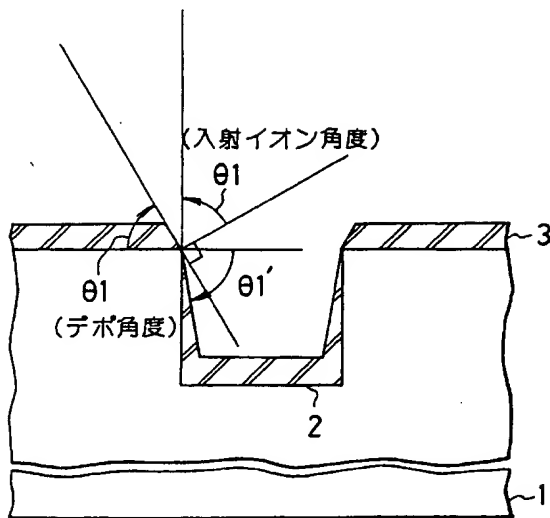


デポジション・レートとエッチング・レートの
角度依存性を表わす線図
第 4 図



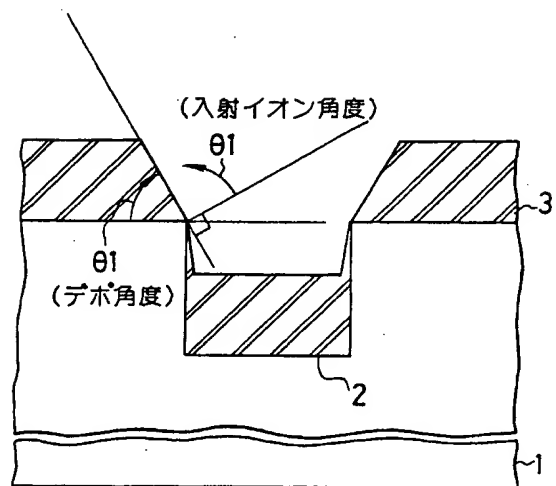
デポジション・レートとエッチング・レートの
角度依存性を表わす線図
第 5 図

(A)



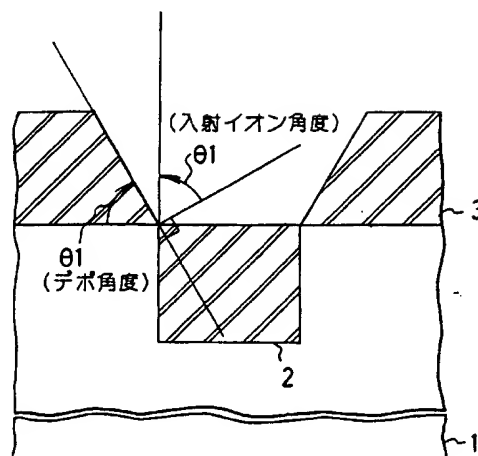
第 6 図

(B)



第 6 図

(C)



従来技術を説明する為の
半導体装置の要部切断側面図

第 6 図